

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-130740
 (43)Date of publication of application : 21.05.1996

(51)Int.Cl.
 H04N 7/32
 G06T 9/00
 H03M 7/36

(21)Application number : 06-265834

(71)Applicant : TOSHIBA CORP
 TOSHIBA AVE CORP

(22)Date of filing : 28.10.1994

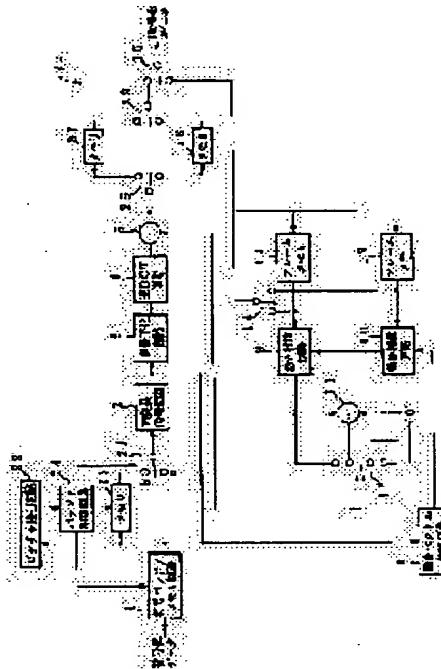
(72)Inventor : KURIHARA KOICHI
 ABE SHUJI

(54) PICTURE DECODER

(57)Abstract:

PURPOSE: To reduce memories required for a decoding processing and to make a picture decoder low in cost.

CONSTITUTION: The inputted encoded data of B pictures are supplied to a variable length decoding circuit 2 through a switch 21, also supplied to the memory 22 and stored. By circuits after the variable length decoding circuit 2, the inputted encoded data of the B pictures are decoded first. Decoded data are switched to the memories 27 and 28 for each block line through the switch 26 and stored and the data of odd numbered fields are read from the memories 27 and 28 in a display order in the first half of the display period of one frame. Decoding is performed also to the encoded data of the B pictures stored in the memory 22 and they are switched to the memories 27 and 28 for each block line and stored. The data of even numbered fields among the data stored in the memories 27 and 28 are read in the display order in the second half of the display period of one frame.



LEGAL STATUS

[Date of request for examination] 03.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3262464

[Date of registration] 21.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-130740

(43)公開日 平成8年(1996)5月21日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 04 N 7/32				
G 06 T 9/00				
H 03 M 7/36		9382-5K		
			H 04 N 7/137 Z	
			G 06 F 15/66 330 D	
			審査請求 未請求 請求項の数 6 OL (全 14 頁)	

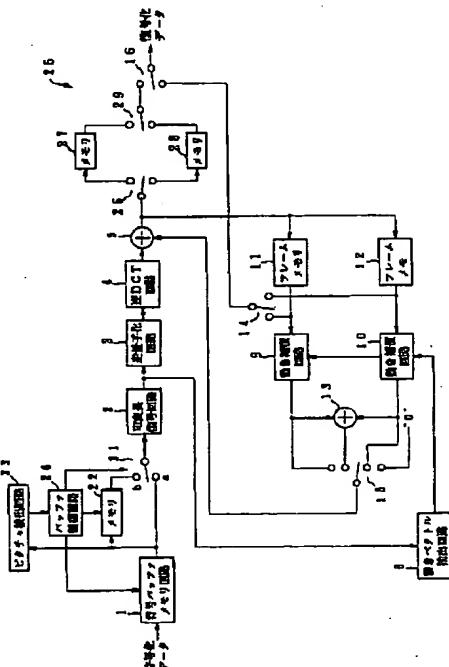
(21)出願番号	特願平6-265834	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成6年(1994)10月28日	(71)出願人	000221029 東芝エー・ブイ・イー株式会社 東京都港区新橋3丁目3番9号
		(72)発明者	栗原 弘一 東京都港区新橋3丁目3番9号 東芝エー・ブイ・イー株式会社内
		(72)発明者	阿部 修司 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内
		(74)代理人	弁理士 伊藤 進

(54)【発明の名称】 画像復号化装置

(57)【要約】

【目的】復号化処理に必要なメモリを低減して低成本化する。

【構成】入力されたBピクチャの符号化データはスイッチ21を介して可変長復号回路2に供給すると共に、メモリ22に与えて記憶させる。可変長復号回路2以降の回路によって、先ず、入力されたBピクチャの符号化データを復号化する。復号化データはスイッチ26を介してメモリ27, 28に1ブロックライン毎に切換えて記憶させ、1フレームの表示期間の前半に、メモリ27, 28から奇数フィールドのデータを表示順に読出す。メモリ22に記憶させたBピクチャの符号化データについても復号化を行って、メモリ27, 28に1ブロックライン毎に切換えて記憶させる。メモリ27, 28に記憶されたデータのうち偶数フィールドのデータを1フレームの表示期間の後半に表示順に読出す。



【特許請求の範囲】

【請求項1】 前方及び後方の参照画像を用いた両方向予測符号化データを含む符号化データが入力され、入力された符号化データを所定のブロック単位で復号化して復号化データを出力する復号化手段と、

入力された前記両方向予測符号化データを保持する記憶手段と、

入力された前記両方向予測符号化データ及び前記記憶手段に格納された前記両方向予測符号化データを前記復号化手段に順次与えて、同一の前記両方向予測符号化データについて2回の復号化処理を行わせる制御手段と、前記復号化手段からの前記両方向予測符号化データについての1回目の復号化処理による復号化データを少なくとも1ブロックライン分保持すると共に、保持した復号化データのうち一方のフィールドの復号化データを表示順に出力する第1の出力手段と、前記復号化手段からの前記両方向予測符号化データについての2回目の復号化処理による復号化データを少なくとも1ブロックライン分保持すると共に、保持した復号化データのうち他方のフィールドの復号化データを表示順に出力する第2の出力手段とを具備したことを特徴とする画像復号化装置。

【請求項2】 前記第1及び第2の出力手段は、夫々1フレームの画像表示時間の半分の時間で前記復号化データを出力することを特徴とする請求項1に記載の画像復号化装置。

【請求項3】 前記第1及び第2の出力手段は、1ブロックライン分の復号化データを保持する第1及び第2のメモリを有し、前記第1及び第2のメモリの書き込み及び読み出しを制御することにより、一方又は他方のフィールドの復号化データを表示順に出力することを特徴とする請求項1に記載の画像復号化装置。

【請求項4】 前方及び後方の参照画像を用いた両方向予測符号化データを含む符号化データが入力され、入力された符号化データを所定のブロック単位で復号化して復号化データを出力する復号化手段と、

前記復号化手段からの前記両方向予測符号化データに対する復号化データのうち一方フィールドの復号化データを表示順に出力する第3の出力手段と、

前記復号化手段からの前記両方向予測符号化データに対する復号化データのうち他方フィールドの復号化データを保持して、前記第3の出力手段による復号化データの出力終了後に、表示順に出力する第4の出力手段とを具備したことを特徴とする画像復号化装置。

【請求項5】 前記第4の出力手段は、前記両方向予測符号化データに対する復号化データのうち他方フィールドの復号化データを保持するフィールドメモリによって構成し、

前記第3の出力手段は、1ブロックライン分の復号化データを保持する第3及び第4のメモリを有し、前記第3

及び第4のメモリの書き込み及び読み出しを制御することにより、前記両方向予測符号化データに対する復号化データのうち一方フィールドの復号化データを保持して表示順に出力することを特徴とする請求項4に記載の画像復号化装置。

【請求項6】 前方及び後方の参照画像を用いた両方向予測符号化データを含む符号化データが入力され、入力された符号化データを所定のブロック単位で復号化して復号化データを出力する復号化手段と、

10 入力された前記両方向予測符号化データを保持する第1の記憶手段と、

入力された前記両方向予測符号化データ及び前記第1の記憶手段に格納された前記両方向予測符号化データを前記復号化手段に順次与えて、同一の前記両方向予測符号化データについて2回の復号化処理を行わせる制御手段と、

前記復号化手段からの前記両方向予測符号化データについての1回目の復号化処理による符号化データのうち一方のフィールドを保持する第2の記憶手段と、

20 2回目の復号化処理時間に前記第2の記憶手段に記憶された一方のフィールドを読み出し表示順に出力する手段と、

前記第2の記憶手段から読み出された領域に2回目の復号化処理による復号化データのうち他方のフィールドを順次記憶する手段とを具備し、

前記一方又は他方のフィールドの復号化データを表示順に出力することを特徴とする画像復号化装置。

【発明の詳細な説明】

【0001】 【発明の目的】

30 【産業上の利用分野】 本発明は、両方向予測符号化データを含む符号化データを復号化する画像復号化装置に関する。

【0002】

【従来の技術】 近年、画像の高能率符号化技術の確立に伴って、画像のデジタル処理が普及してきている。高能率符号化技術は、デジタル伝送及び記録等の効率を向上させるために、少ないビットレートで画像データを符号化するものである。この高能率符号化においては、 $m \times n$ 画素のブロック単位でDCT(離散コサイン変換)処理等の直交変換を行っている。直交変換は、入力される標本値を空間周波数成分等の直交成分に変換するものである。これにより空間的な相関成分が削減可能となる。直交変換された成分は量子化することにより、ブロックの信号の冗長度を削減する。

40 【0003】 更に、量子化出力にハフマン符号化等の可変長符号化を施すことにより、データ量を一層削減する。ハフマン符号化は、量子化出力の統計的符号量から算出した結果に基づいて符号化を行うものであり、出現確率が高いデータには短いビットを割当て、出現確率が低いデータには長いビットを割当てる可変長符号化によ

3

って全体のデータ量を削減する。

【0004】更に、高能率符号化を行う装置においては、MPEG (Moving Picture experts group) 等などで検討されているハイブリッド方式が主流となっている。この方式では、フレーム内の画像をDCT処理するフレーム内圧縮の外に、フレーム間の相関を利用して時間軸方向の冗長度を削減するフレーム間圧縮も採用する。フレーム間圧縮は、一般の動画像が前後のフレームでよく似ているという性質を利用して、前後のフレームの差分を求め差分値（予測誤差）を符号化することによって、ビットレートを一層低減させるものである。特に、画像の動きを予測してフレーム間差を求めるにより予測誤差を低減する動き補償フレーム間予測符号化が有効である。

【0005】このように、ハイブリッド方式では、所定フレームの画像データをそのままDCT処理して符号化するフレーム内符号化の外に、所定フレームの画像データとこのフレーム前後のフレームの参照画像データとの差分データのみをDCT処理して符号化する予測符号化とを採用する。予測符号化方法としては、時間的に前方方向の参照画像データを動き補償して予測誤差を求める前方予測符号化と、時間的に後方向の参照画像データを動き補償して予測誤差を求める後方予測符号化と、符号化効率を考慮して、前方若しくは後方のいずれか一方又は両方向の平均を用いた両方向予測符号化とがある。

【0006】フレーム内符号化によって符号化されたフレーム（以下、Iピクチャという）はフレーム内情報のみによって符号化されているので、単独の符号化データのみによって復号可能である。従って、MPEG規格においては、エラー伝播防止等のために、Iピクチャを固定周期（例えば12フレーム）に1枚挿入するようになっている。MPEG規格では、このIピクチャを用いた前方予測符号化によってフレーム間符号化フレーム（以下、Pピクチャという）を得る。なお、Pピクチャは前方のPピクチャを前方予測符号化することによって得られる。また、前方若しくは後方のいずれか一方又は両方向のI、Pピクチャを用いた両方向予測符号化によって両方向予測適応切換フレーム（以下、Bピクチャという）を得る。

【0007】図5はこの方式の圧縮法を説明するための説明図である。図5（a）は入力されるフレーム画像を示し、図5（b）は符号化データを示し、図5（c）は復号化データを示している。また、図6はブロック化を説明するための説明図である。

【0008】フレーム番号0のフレーム画像はフレーム内符号化する。このフレーム画像を参照画像として用いてフレーム番号3のフレーム画像を前方予測符号化する。図5（b）の矢印はこのような符号化の予測方向を示しており、フレーム番号6のフレーム画像も前方のフレーム番号3のフレーム画像を参照画像として前方予測

4

符号化する。また、フレーム番号1、2のフレーム画像はフレーム番号0、3のフレーム画像を参照画像として両方向予測符号化する。また、フレーム番号4、5のフレーム画像はフレーム番号3、6のフレーム画像を参照画像として両方向予測符号化する。

【0009】即ち、図5（b）に示すように、先ず、フレーム番号0の画像データをフレーム内符号化してIピクチャを得る。この場合には、フレーム番号0の画像データをメモリ等によってフレーム化すると共に、図6に示すように、8画素×8ライン毎にブロック化し、ブロック単位でDCT処理を施す。なお、図中、実線で示すODDは奇数フィールドの走査線を示し、破線で示す EVENは偶数フィールドの走査線を示している。DCT処理によって得たDCT変換係数は所定の量子化係数を用いて量子化した後、可変長符号化を施して符号化データを得る。

【0010】次に入力されるフレーム番号1のフレーム画像については、フレーム番号0、3のフレーム画像を用いた両方向予測符号化を行うので、フレーム番号3のフレーム画像を符号化するまではメモリに保持する。同様に、フレーム番号2のフレーム画像についてもフレーム番号3のフレーム画像の符号化の後に符号化する。フレーム番号3のフレーム画像については、フレーム番号0のフレーム画像を参照画像として用いた前方予測符号化を行ってPピクチャを得る（図5（b））。即ち、フレーム番号0の画像データを動きベクトルを用いて動き補償し、動き補償した参照画像データと現フレーム（フレーム番号3のフレーム）の画像データとの差分（予測誤差）をDCT処理する。DCT変換係数を量子化した後可変長符号化することはフレーム内符号化時と同様である。

【0011】次に、既に符号化したフレーム番号0、3のIピクチャ、Pピクチャを用いてフレーム番号1、2のフレーム画像を順次両方向予測符号化する。こうして、図5（b）に示すように、2つのBピクチャを得る。以後同様にして、図5（b）に示すように、フレーム番号6、4、5、…のフレーム画像の順に符号化を行って、Pピクチャ、Bピクチャ、Bピクチャ、…を得る。

【0012】このように、符号化時においては、実際に入力されるフレーム順と異なるフレーム順で符号化を行う。復号化時には、符号化データの復号化順を元に戻してフレーム番号0、1、2、…の順に復号化データを出力する必要がある。図7はこののような従来の画像復号化装置を示すブロック図である。また、図8はフレーム化を説明するための説明図であり、図8（a）はノンインターレース走査時のフレーム化を示し、図8（b）はインターレース走査時のフレーム化を示している。

【0013】符号バッファメモリ回路1には符号化データを与える。この符号化データは図5（b）に示す符号

5

化順で、画像データ又は予測誤差をDCT処理して量子化した後、可変長符号化したものである。符号バッファメモリ回路1は入力された符号化データを保持し、復号化処理時間と出力処理時間との時間あわせを行って可変長復号回路2に出力する。可変長復号回路2は符号化データを可変長復号化して逆量子化回路3及びバッファ制御回路7に出力する。バッファ制御回路7によって符号バッファメモリ回路1を制御する。

【0014】可変長復号回路2の出力は逆量子化回路3によって逆量子化し、逆DCT回路4によって逆DCT処理して符号化側のDCT処理前のデータに戻す。いま、フレーム番号0の符号化データであるIピクチャが入力されているものとする。この場合には、逆DCT回路4の出力がフレーム番号0の復元画像であり、逆DCT回路4の出力をそのままフレームメモリ6に与える。

【0015】逆DCT回路4の出力はブロック単位の画素データであり、フレームメモリ6は1フレーム分の画素データを保持する。ノンインターレース表示を行う場合には、図8(a)に示すように、フレームメモリ6は逆DCT回路4の出力をフレーム順に配列して、ラスタ順に出力する。また、インターレース表示を行う場合には、図8(b)に示すように、フレームメモリ6は逆DCT回路4の出力を奇数フィールドのデータと偶数フィールドのデータとに分けて配列して、各フィールド毎にラスタ順で出力する。フレームメモリ6の出力はスイッチ16を介して復号化データとして出力する(図5(c))。逆DCT回路4からのフレーム番号0の復元画像データはP、Bピクチャの復号化のためにフレームメモリ12にも供給する。

【0016】なお、DCTブロックがフレーム化後にブロック化されている場合には、ノンインターレース表示を行うものとすると、ライン方向の画素配列は変化させる必要がないので、出力順を変更するメモリとしては、8ライン(1ブロックライン)分のデータを保持する容量があればよい。しかし、インターレース表示を可能にするためには、奇数フィールドと偶数フィールドとに分けてデータを出力する必要があることから、更に多くのメモリを必要とする。このため、一般的には、表示順を変更するためのメモリとしてフレームメモリを採用してフレーム化を行うことが多い。

【0017】次に、フレーム番号3のPピクチャを復号化する。この場合には、逆DCT回路4の出力は予測誤差である。一方、動きベクトル抽出回路8は可変長復号化回路2の出力に含まれる動きベクトルを抽出して動き補償回路10に与えており、動き補償回路10はフレームメモリ12からIピクチャの復元画像データを読み出し、動きベクトルを用いて動き補償する。動き補償回路10の出力はスイッチ15を介して加算器5に与える。加算器5は動き補償したフレーム番号0の復元画像データと逆DCT回路4からの予測誤差とを加算してフレーム番号3の

6

復元画像データを得る。このデータはフレームメモリ11に供給する。

【0018】次に、フレーム番号1のBピクチャを復号化する。この場合にも、逆DCT回路4の出力は予測誤差である。動きベクトル抽出回路8はフレーム番号3の画像とフレーム番号1の画像との間の動きベクトルを可変長復号出力から抽出して動き補償回路9に与え、動き補償回路9はこの動きベクトルを用いて、フレームメモリ11からフレーム番号3の復元画像データを動き補償して加算器13に出力する。加算器13は符号化時の予測モードに応じて、動き補償回路9、10の出力を加算し、スイッチ15を介して加算器5に供給する。加算器5は予測誤差にスイッチ15の出力を加算してフレーム番号1のBピクチャの復元画像データを得る。この画像データはフレームメモリ6に与えてフレーム化した後、スイッチ16を介して出力する(図5(c))。

【0019】次に、フレーム番号2のBピクチャを復号化する。この場合にも、逆DCT回路4の出力とスイッチ15の出力とを加算してフレーム番号2のBピクチャの復元画像データを得る。この画像データはフレームメモリ6に与えてフレーム化した後、スイッチ16を介して出力する(図5(c))。次に、図5(c)に示すように、フレームメモリ11に格納しているフレーム番号3の復元画像データをスイッチ14及びスイッチ16を介して表示順に復号化データとして出力する。

【0020】以後、同様の動作を繰返して、図5(c)の復号化順で復元した画像データ(復号化データ)を出力する。なお、復号処理と出力処理とはメモリのオーバラップ分とシステム中の動作時間とを考慮しながら制御される。

【0021】このように、Pピクチャは前方フレームの参照画像を用いて復号化しており、復号化には参照画像を保持するための1フレーム分のメモリが必要である。また、Bピクチャは前方及び後方フレームの参照画像を用いて復号化しており、これらの参照画像を保持するための2フレーム分のメモリが必要である。更に、符号化処理はDCTブロック単位で行っていることから、上述したように、加算器5の出力をフレーム化してインターレース表示又はノンインターレース表示を可能にする1フレーム分のメモリが必要である。この場合、I、Pピクチャの復号化データはBピクチャの参照画像として用いるためにフレームメモリ11、12に記憶させており、これらのフレームメモリ11、12からの読み出しを制御して出力することにより、これらのフレームメモリ11、12をフレーム化用に兼用することができる。しかし、Bピクチャの復号化データは参照画像用として用いられることはなくフレームメモリ11、12に記憶されないので、フレーム化のためにフレームメモリ6を設ける必要がある。

【0022】

【発明が解決しようとする課題】このように、上述した

従来の画像復号化装置においては、Bピクチャを含む画像符号化データを復号化するためには、多数のメモリが必要であり、回路規模が増大すると共にコスト高であるという問題点があった。

【0023】本発明は、Bピクチャを含む画像符号化データの復号化に必要なメモリを削減して回路規模を小さくし、低コスト化することができる画像復号化装置を提供することを目的とする。

【0024】[発明の構成]

【課題を解決するための手段】本発明の請求項1に係る画像復号化装置は、前方及び後方の参照画像を用いた両方向予測符号化データを含む符号化データが入力され、入力された符号化データを所定のブロック単位で復号化して復号化データを出力する復号化手段と、入力された前記両方向予測符号化データを保持する記憶手段と、入力された前記両方向予測符号化データ及び前記記憶手段に格納された前記両方向予測符号化データを前記復号化手段に順次与えて、同一の前記両方向予測符号化データについて2回の復号化処理を行わせる制御手段と、前記復号化手段からの前記両方向予測符号化データについての1回目の復号化処理による復号化データを少なくとも1ブロックライン分保持すると共に、保持した復号化データのうち一方のフィールドの復号化データを表示順に出力する第1の出力手段と、前記復号化手段からの前記両方向予測符号化データについての2回目の復号化処理による復号化データを少なくとも1ブロックライン分保持すると共に、保持した復号化データのうち他方のフィールドの復号化データを表示順に出力する第2の出力手段とを具備したものであり、本発明の請求項4に係る画像復号化装置は、前方及び後方の参照画像を用いた両方向予測符号化データを含む符号化データが入力され、入力された符号化データを所定のブロック単位で復号化して復号化データを出力する復号化手段と、前記復号化手段からの前記両方向予測符号化データに対する復号化データのうち一方フィールドの復号化データを表示順に出力する第3の出力手段と、前記復号化手段からの前記両方向予測符号化データに対する復号化データのうち他方フィールドの復号化データを保持して、前記第3の出力手段による復号化データの出力終了後に、表示順に出力する第4の出力手段とを具備したものであり、本発明の請求項6に係る画像復号化装置は、前方及び後方の参照画像を用いた両方向予測符号化データを含む符号化データが入力され、入力された符号化データを所定のブロック単位で復号化して復号化データを出力する復号化手段と、入力された前記両方向予測符号化データを保持する第1の記憶手段と、入力された前記両方向予測符号化データ及び前記第1の記憶手段に格納された前記両方向予測符号化データを前記復号化手段に順次与えて、同一の前記両方向予測符号化データについて2回の復号化処理を行わせる制御手段と、前記復号化手段からの前記両方向

向予測符号化データについての1回目の復号化処理による符号化データのうち一方のフィールドを保持する第2の記憶手段と、2回目の符号化処理時間に前記第2の記憶手段に記憶された一方のフィールドを読み出し表示順に出力する手段と、前記第2の記憶手段から読み出された領域に2回目の復号処理による復号化データのうち他方のフィールドを順次記憶する手段とを具備し、前記一方又は他方のフィールドの復号化データを表示順に出力するものである。

【0025】

【作用】本発明の請求項1において、復号化手段は1画像の符号化データを1画像の表示時間の1/2の時間内に復号化可能である。両方向予測符号化データが入力されると、記憶手段はこの両方向予測符号化データを記憶する。入力された両方向予測符号化データは復号化手段に与えて1回目の復号化処理を行う。復号化手段からの復号化データは第1の出力手段に与えて、1ブロックライン分保持させる。第1の出力手段は保持した復号化データのうち一方のフィールドの復号化データを表示順に出力する。一方、制御手段は、両方向予測符号化データについての1回目の復号化処理が終了すると、記憶手段に格納されている両方向予測符号化データを復号化手段に与えて復号化させる。第2の出力手段は2回目の復号化処理による復号化データを1ブロックライン分保持して他方のフィールドの復号化データを表示順に出力する。

【0026】本発明の請求項4において、復号化手段は1画像の符号化データを1画像の表示時間の1/2の時間内に復号化可能である。復号化手段からの両方向予測符号化データに対する復号化データは第3及び第4の出力手段に与える。第3の出力手段は両方向予測符号化データに対する復号化データのうち一方フィールドの復号化データを表示順に出力する。第4の出力手段は入力された復号化データのうち他方フィールドの復号化データを記憶しており、第3の出力手段による復号化データの出力が終了すると、記憶している他方フィールドの復号化データを表示順に出力する。

【0027】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係る画像復号化装置の一実施例を示すブロック図である。図1において図7と同一の構成要素には同一符号が付してある。本実施例は符号化データを復号化してインターレース表示の表示順で復号化データを出力するものである。

【0028】符号化データは符号バッファメモリ回路1に供給する。この符号化データは、DCT処理、量子化処理及び可変長符号化処理によって作成されたものであり、フレーム内の処理によるIピクチャ、前方又は後方フレームの参照画像を用いたPピクチャ及び両方向フレームの参照画像を用いたBピクチャを有している。ま

た、符号化データはP, Bピクチャ作成時に用いた動きベクトルの情報も含んでいる。なお、DCT処理はフレーム化後にブロック化して得たブロック単位で行う。

【0029】符号バッファメモリ回路1は入力された符号化データを保持し、復号化処理時間と出力処理時間との時間あわせを行って出力する。本実施例においては、符号バッファメモリ回路1の出力はスイッチ21の端子a、メモリ22及びピクチャ検出回路23に供給するようになっている。ピクチャ検出回路23は入力された符号化データのピクチャタイプを検出して、検出信号をバッファ制御回路24に出力する。

【0030】バッファ制御回路24は検出信号に基づいて符号バッファメモリ回路1を制御する。また、バッファ制御回路24は、検出信号によってBピクチャが入力されていることが示された場合には、入力されたBピクチャの符号化データをメモリ22に記憶させるための書き込みアドレスを発生すると共にスイッチ21に端子aを選択させて、符号バッファメモリ回路1の出力を可変長復号回路2に供給する。また、バッファ制御回路24は符号バッファメモリ回路1からのBピクチャの復号化が終了すると、メモリ22に読出しアドレスを与えると共にスイッチ21に端子bを選択させて、メモリ22に格納されているBピクチャの符号化データを可変長復号回路2に供給するようになっている。なお、バッファ制御回路24は入力されている符号化データがI, Pピクチャである場合には、スイッチ21に端子aを選択させるようになっている。メモリ22はBピクチャの符号化データを記憶する。なお、Bピクチャの符号量はIピクチャの符号量よりも十分に小さく、画素データを保持するフレームメモリの約1/4の容量があればよい。

【0031】可変長復号回路2はスイッチ21を介して符号化データが与えられて、可変長復号化処理によって符号化側の可変長符号化処理前のデータに戻して、逆量子化回路3及び動きベクトル抽出回路8に出力する。動きベクトル抽出回路8はP, Bピクチャについては、可変長復号出力に含まれる動きベクトルを抽出して動き補償回路9, 10に出力する。逆量子化回路3は入力されたデータを逆量子化処理して逆DCT回路4に与え、逆DCT回路4は逆量子化出力を逆DCT処理して加算器5に出力する。

【0032】加算器5にはスイッチ15の出力も与える。スイッチ15は、逆DCT回路4の出力がIピクチャに基づくものである場合には0を加算器5に与え、Pピクチャに基づくものである場合には後述する動き補償回路9, 10の一方の出力を加算器5に与え、Bピクチャに基づくものである場合には動き補償回路9, 10又は後述する加算器13の出力を加算器5に与える。加算器5は逆DCT回路4の出力とスイッチ15の出力とを加算することにより画像を復元して、フレームメモリ11, 12に出力すると共に、出力部25のスイッチ26を介してメモリ27, 28

に出力する。

【0033】メモリ27, 28の出力はスイッチ29, 20を介してスイッチ16に出力する。スイッチ26, 29は連動して切替り、スイッチ26を介してメモリ27の書き込みが行われている場合には、メモリ28からスイッチ29を介してデータの読み出しを行い、メモリ28に書き込みが行われている場合には、メモリ27からデータの読み出しを行うようになっている。メモリ27, 28は1ブロックラインの画素データを保持する容量を有している。

【0034】フレームメモリ11, 12は参照画像となるI, Pピクチャの復元画像データを保持する。フレームメモリ11, 12は対応するP, Bピクチャの復号タイミングで保持している参照画像データを動き補償回路9, 10に出力するようになっている。動き補償回路9, 10は夫々フレームメモリ11, 12からの参照画像データを動きベクトル抽出回路8からの動きベクトルに基づいて動き補償して出力する。動き補償回路9, 10の出力はスイッチ15に供給すると共に、加算器13にも供給する。加算器13は、予測モードに応じて動き補償回路9, 10の出力を加算してスイッチ15に出力するようになっている。

【0035】また、スイッチ14は、画像の出力フレーム順に応じて切替り、フレームメモリ11, 12に格納されている復元画像データをスイッチ16に出力する。スイッチ16は画像の出力フレーム順に応じて切替って、一連のフレームの復元画像データを復号化データとして出力するようになっている。

【0036】本実施例においては、可変長復号回路2、逆量子化回路3、逆DCT回路4、加算器5、動きベクトル抽出回路8、動き補償回路9, 10、フレームメモリ11, 12、加算器13及びスイッチ15は1フレームの画像表示時間内にBピクチャについて2回の復号処理を行うことができるようになっている。例えば、NTSC画像については、一般的には、サンプリング周波数が13.5MHzに設定されている。従って、NTSC画像の符号化データを復号化する場合には、27MHzのクロックを用いて復号化処理を行えばよく、現在の集積回路の動作速度を考慮すると、復号化処理に用いるこれらの回路は従来と同一のものでよい。

【0037】次に、このように構成された実施例の動作について図2を参照して説明する。図2は図1中のメモリ27, 28の書き込み及び読み出しを説明するための説明図である。図2(a), (b)は夫々1回目の復号化時の書き込み及び読み出しを示し、図2(c), (d)は夫々2回目の復号化時の書き込み及び読み出しを示している。なお、図2中では、奇数フィールドのデータを実線にて示し、偶数フィールドのデータを破線にて示している。

【0038】符号化データは符号バッファメモリ回路1に供給する。符号化データはI, P, Bピクチャを有しており、例えば、図5(b)のフレーム順で入力するものとする。符号バッファメモリ回路1は符号化処理時間

及び出力時間を考慮して、入力された符号化データを保持してスイッチ21の端子a及びピクチャ検出回路23に出力する。先ず、図5(b)に示すように、フレーム番号0のIピクチャの符号化データが入力されるものとする。ピクチャ検出回路23はIピクチャであることを検出して検出信号をバッファ制御回路24に出力する。これにより、バッファ制御回路24は、符号バッファメモリ回路1を制御すると共に、スイッチ21に端子aを選択させる。

【0039】符号バッファメモリ回路1によって遅延されたIピクチャの符号化データは、スイッチ21を介して可変長復号回路2に与えて可変長復号化する。更に、逆量子化回路3によって逆量子化し、逆DCT回路4によって逆DCT処理して、符号化側のDCT処理前のデータに戻して加算器5に出力する。この場合には、逆DCT回路4の出力はフレーム番号0の復元画像である。なお、これらの処理はブロック単位で行う。スイッチ15は0を加算器5に与えており、加算器5は逆DCT回路4の出力をそのままフレームメモリ12に与える。

【0040】フレームメモリ12によって、各ブロックの復号化データは1フレーム分蓄積され、所定の出力タイミングにおいて、表示順に読出してスイッチ14、16を介して出力する。

【0041】符号バッファメモリ回路1には次にフレーム番号3のPピクチャの符号化データが入力されている。ピクチャ検出回路3はPピクチャが入力されていることを示す検出信号をバッファ制御回路24に出力し、バッファ制御回路24はスイッチ21に端子aを選択させる。符号バッファメモリ回路1によって所定時間遅延されたPピクチャの符号化データはスイッチ21を介して可変長復号回路2に供給して可変長復号する。可変長復号回路2の出力は逆量子化回路3及び逆DCT回路4によってDCT処理前のデータに戻すと共に、動きベクトル抽出回路8にも与える。動きベクトル抽出回路8によって、Pピクチャの符号化データに含まれる動きベクトルを抽出して動き補償回路10に与える。

【0042】フレームメモリ12はフレーム番号0のIピクチャの復号化データを参照画像として保持しており、動き補償回路10はフレームメモリ12のデータを読出して、動きベクトルを用いて動き補償する。この動き補償された参照画像のデータはスイッチ15を介して加算器5に与える。逆DCT回路4の出力は復号された予測誤差であり、加算器5はこの予測誤差にスイッチ15からの参照画像のデータを加算することにより、フレーム番号3の画像データを復元する。この画像データはフレームメモリ11に格納する。

【0043】次に、符号バッファメモリ回路1にはフレーム番号1のBピクチャの符号化データが入力されている。ピクチャ検出回路23はBピクチャの符号化データが入力されたことを示す検出信号をバッファ制御回路24に

出力する。そうすると、バッファ制御回路24は符号バッファメモリ回路1からのBピクチャの符号化データをスイッチ21を介して可変長復号回路2に出力させると共に、メモリ22にも与えて格納させる。

【0044】本実施例においては、Bピクチャについては、1フレームの画像表示期間内に2回の復号化処理を行う。可変長復号回路2はBピクチャの符号化データを可変長復号し、逆量子化回路3及び逆DCT回路4によって元の画素データに戻す。一方、動きベクトル抽出回路8は可変長復号出力からフレーム番号0、3の参照画像に対応する動きベクトルを抽出して夫々動き補償回路10、9に出力する。なお、予測モードによっては、いずれか一方の動きベクトルのみが抽出されることもある。

【0045】フレームメモリ12、11は夫々フレーム番号0、3の復元画像データを参照画像データとして保持しており、動き補償回路9、10はこれらの復元画像データを読出して、動きベクトルに基づいて動き補償してスイッチ15及び加算器13に出力する。即ち、動き補償回路9、10は、逆DCT回路4から出力された所定ブロックの復号化データに対応するブロック化位置を動きベクトルによって補正して、補正したブロック化位置のブロックデータを動き補償した参照画像データとして出力する。加算器13は動き補償回路9、10の出力を加算してスイッチ15に出力する。スイッチ15は、予測方向が前方である場合には動き補償回路10の出力を選択し、後方である場合には動き補償回路9の出力を選択し、両方向である場合には加算器13の出力を選択して、動き補償した参照画像データとして加算器5に出力する。

【0046】こうして、加算器5は逆DCT回路4からのブロックデータとスイッチ15からのブロック単位の参照画像データとを加算することにより、各ブロック単位でフレーム番号1の画像データを復元してスイッチ26に出力する。スイッチ26、29は1ブロックライン毎に切換る。

【0047】即ち、加算器5からのブロックデータは1ブロックライン毎にメモリ27、28を切換えて記録する。また、メモリ27、28からの読み出しも書き込み同時に切換える。例えば、図2(a)に示すように、画面最上端の第1ブロックラインのデータをメモリ27に書き込んだ場合には、加算器5からの次の1ブロックライン(第2ブロックライン)の各ブロックデータはメモリ28に書き込む。そして、このメモリ28への第2ブロックラインのブロックデータの書き込み同時に、メモリ27から第1ブロックラインの奇数フィールドのデータを表示順に読出してスイッチ29を介して出力する。同様にして、加算器5からの第3ブロックラインの各ブロックデータをメモリ27に書き込む同時に、メモリ28から第2ブロックラインの奇数フィールドのデータを表示順に読出してスイッチ29を介して出力する。

【0048】以後同様の動作を繰返して、図2(b)に

示すように、奇数フィールドの復号化データをスイッチ29, 16を介して表示順に順次出力する。上述したように、Bピクチャの復号化処理は1フレームの表示時間の1/2の時間以内に行なうことができ、奇数フィールドの復号化データは1フィールド時間で出力される。こうして、インターレース表示の奇数フィールドの画像データを得る。

【0049】一方、バッファ制御回路24は、フレーム番号1のBピクチャに対する1回目の復号化処理が終了すると、スイッチ21に端子bを選択させて、メモリ22に格納されているフレーム番号1のBピクチャの符号化データを可変長復号回路2に与える。この場合には、1回目の復号化処理と同様の処理が行われて、加算器5はフレーム番号1のBピクチャの復号化データをブロック単位で順次出力する。

【0050】加算器5からの第1ブロックラインの各ブロックデータは、図2(c)に示すように、スイッチ26を介してメモリ27に順次書き込む。次の第2ブロックラインの各ブロックデータはメモリ28に順次書き込み、この書き込みと同時にメモリ27からの第1ブロックラインの偶数フィールドの画素データを表示順に順次読み出す。以後同様の動作を繰り返して、図2(d)に示すように、偶数フィールドの画素データを表示順に読み出して、スイッチ29, 16を介して出力する。偶数フィールドの復号化データの出力は1フレームの表示時間の後半の1/2の時間に行なう。こうして、インターレース表示の偶数フィールドの復号化データを得る。

【0051】次に、フレーム番号2のBピクチャの符号化データについても、符号化処理を1フレームの表示期間に2回行って、奇数フィールドと偶数フィールドとに分けて、復号化データを出力する。次に、フレームメモリ11に格納されているフレーム番号3の復元画像データを表示順に読み出して、スイッチ14, 16を介して出力する。以後、同様の動作を繰り返すことにより、図5(c)の復号化データを得る。

【0052】このように、本実施例においては、1フレームの画像表示時間内にBピクチャの復号化処理を2回行い、1回目の復号化処理によって得られるブロックデータを1ブロックライン分ずつメモリに記憶させ、奇数フィールドのデータのみを表示順に読み出すことにより、インターレースの奇数フィールドの復号化データを得、同様にして、2回目の復号化処理によって得られるブロックデータを1ブロックライン分ずつメモリに記憶させ、偶数フィールドのデータのみを表示順に読み出すことにより、インターレースの偶数フィールドの復号化データを得る。従って、メモリ27, 28としては1ブロックライン分の容量を有していればよい。即ち、メモリ22, 27, 28の総容量は比較的小さくてよく、従来に比して復号化に必要なメモリ容量を低減することができる。これにより、回路規模を低減して低コスト化を図ることがで

きる。

【0053】なお、本実施例においては、Bピクチャを2回復号する動作を明確にするために、入力された符号化データを保持する符号バッファメモリ回路1とBピクチャの符号化データを記憶するメモリ22を別のメモリとして説明したが、入力されたBピクチャ符号化データは1度、符号バッファメモリ回路1に保持されているので、これを2回読み出すことで本実施例を実現することも可能である。

【0054】なお、本実施例ではメモリ27とメモリ28は1ブロックラインの画素データを保持する容量を有する。このため1ブロックライン時間内に符号化画像の復号を終了させる必要がある。

【0055】ところで、符号化データは可変長であるので符号量が多いブロックと少ないブロックが存在する。このため符号量が多いブロックラインでは、使用的するメモリによっては、メモリのアクセスタイムにより復号終了処理時間が1ブロックライン時間内でおさまらない場合がある。

【0056】このため、例えばメモリ27とメモリ28とを1つのフィールドメモリに置き換えて、Bピクチャの1回目の復号処理時には復号データのうち、一方のフィールドをこのフィールドメモリに保持し、2回目の復号処理時には、1回目の復号時に保持した一方のフィールドを読み出し、表示順に出力しながら、この読み出された領域に2回目の復号処理で得られた復号データのうち、他方のフィールドを順次保持していくことによって一方及び他方のフィールドの復号データを表示順に出力する方法を行えば、復号処理時間を長く確保することが可能になる。

【0057】この方法によれば、実施例で説明したよりもメモリ容量は増えるが、メモリアクセス速度による復号処理時間の問題を解決し、且つ従来例に対してメモリ容量を削減することができる。

【0058】図3は本発明の他の実施例を示すブロック図である。図3において図1と同一の構成要素には同一符号を付して説明を省略する。

【0059】本実施例はスイッチ21、メモリ22、ピクチャ検出手回路23及びバッファ制御回路24を削除してバッファ制御回路7を採用すると共に、出力部25に代えて出力部31を採用した点が図1の実施例と異なる。符号バッファメモリ回路1の出力は可変長復号回路2に与え、可変長復号回路2の出力はバッファ制御回路7に与える。バッファ制御回路7は可変長復号回路2からの可変長復号出力に基づいて符号バッファメモリ回路1を制御するようになっている。

【0060】出力部31はスイッチ32, 33、メモリ34, 35及びフィールドメモリ36によって構成している。スイッチ32は、加算器5から奇数番目の水平ブロックのブロックデータが出力される場合にはメモリ34又はフィールド

メモリ36を交互に選択し、加算器5から偶数番目の水平ブロックのブロックデータが出力される場合にはメモリ35又はフィールドメモリ36を交互に選択する。スイッチ36は、ブロックデータのうち奇数フィールドのデータはメモリ35、36に与え、偶数フィールドのデータはフィールドメモリ36に与えるようになっている。メモリ34、35は、1ブロックライン分のデータを格納するようになっている。フィールドメモリ36は、偶数フィールドのデータを格納するようになっている。スイッチ33は、奇数フィールドにおいて、スイッチ32がメモリ34又はフィールドメモリ36を交互に選択している場合にはメモリ35を選択し、スイッチ32がメモリ35又はフィールドメモリ36を交互に選択している場合にはメモリ34を選択する。また、スイッチ33は偶数フィールドの表示時間にはフィールドメモリ36の出力を選択するようになっている。

【0061】なお、本実施例においては、Bピクチャについては、図1の実施例と同様に1フレームの画像表示時間の1/2の時間内に復号化処理を行う必要があるが、復号化処理は1回のみでよい。

【0062】次に、このように構成された実施例の動作について図4を参照して説明する。図4は図3中のメモリ34、35及びフィールドメモリ36の書き込み及び読み出しを説明するための説明図である。図4(a)はブロックデータの書き込みを示し、図4(b)、(c)は夫々奇数フィールド及び偶数フィールドにおける復号化データの読み出しを示している。なお、図4中では、奇数フィールドのデータを実線にて示し、偶数フィールドのデータを破線にて示している。

【0063】符号化バッファメモリ回路1には図1の実施例と同様の符号化データを与える。符号化バッファメモリ回路1はバッファ制御回路7に制御されて、符号化処理時間及び出力時間に基づく遅延量で入力された符号化データを遅延させて可変長復号回路2に出力する。可変長復号回路2以降の復号処理は図1の実施例と同様である。また、Bピクチャの符号化データに対して、1フレームの画像表示時間の1/2の時間内に復号化処理を行うことも図1の実施例と同様である。

【0064】本実施例においては、Bピクチャの復号化データを加算器5から出力部31に供給する。いま、加算器5がBピクチャの第1ブロックラインの復号化データをブロック単位でスイッチ32に供給するものとする。この場合には、スイッチ32は、図4(a)に示すように、各ブロックデータのうち奇数フィールドのデータはメモリ34に書き込み、偶数フィールドのデータはフィールドメモリ36に書き込む。こうして、メモリ34には第1ブロックラインのうちの奇数フィールドの復号化データのみが格納される。また、フィールドメモリ36には第1ブロックラインの偶数フィールドの復号化データが格納される。

【0065】次に、加算器5は第2ブロックラインの符号化データをブロック単位で出力する。この場合には、

スイッチ32は、各ブロックデータのうち奇数フィールドのデータをメモリ35に書き込み、偶数フィールドのデータはフィールドメモリ36に追加書き込みする。こうして、メモリ35には第2ブロックラインのうちの奇数フィールドの復号化データのみが格納される。また、フィールドメモリ36には第1ブロックラインの偶数フィールドの復号化データに続けて、第2ブロックラインの偶数フィールドの復号化データが格納される。また、この期間には、スイッチ33はメモリ34を選択している。これにより、メモリ34に格納されている第1ブロックラインの奇数フィールドのデータを表示順に読み出してスイッチ16を介して出力する。

【0066】次に、加算器5から第3ブロックラインの符号化データがブロック単位で出力される。この場合には、スイッチ32は、各ブロックデータのうち奇数フィールドのデータをメモリ34に書き込み、偶数フィールドのデータはフィールドメモリ36に追加書き込みする。また、スイッチ33はメモリ35を選択して、メモリ35に格納されている第2ブロックラインの奇数フィールドのデータを表示順に読み出してスイッチ16から出力する。メモリ34には第3ブロックラインのうちの奇数フィールドの復号化データのみが格納され、フィールドメモリ36は第1及び第2ブロックラインの偶数フィールドの復号化データに続けて、第3ブロックラインの偶数フィールドの復号化データを格納する。

【0067】以後、同様の動作を繰り返して、1フレームの画像表示期間の前半の期間において、図4(b)に示すように、メモリ34、35から奇数フィールドの復号化データを読み出して出力する。また、この期間には、フィールドメモリ36には偶数フィールドの全復号化データを格納する。

【0068】1フレームの画像表示期間の後半には、スイッチ33はフィールドメモリ36を選択する。これにより、図4(c)に示すように、フィールドメモリ36に格納されている偶数フィールドの復号化データを表示順に読み出してスイッチ16から出力する。こうして、インターレース表示が可能となる。

【0069】このように、本実施例においては、1フレームの表示期間の前半に、メモリ34、35に各ブロックデータのうち奇数フィールドの復号化データを格納すると共に読み出して奇数フィールドの復号化データを得る。そして、この期間には、偶数フィールドの復号化データはフィールドメモリ36に格納する。偶数フィールドにおいては、フィールドメモリ36に格納されたデータを表示順に読み出すことにより偶数フィールドの復号化データを得ている。

【0070】メモリ34、35、36のメモリ容量は比較的小さく、本実施例においても、メモリ容量を削減して回路規模を低減し、低コスト化を図ることができる。

【0071】なお、上記各実施例においては、複数のメ

モリを用いているが、1つのメモリの領域を複数に分割して各メモリに代えて用いてもよいことは明らかである。

【0072】

【発明の効果】以上説明したように本発明によれば、Bピクチャを含む画像符号化データの復号化に必要なメモリを削減して回路規模を小さくし、低コスト化することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る画像復号化装置の一実施例を示すブロック図。

【図2】実施例の動作を説明するための説明図。

【図3】本発明の他の実施例を示すブロック図。

【図4】図3の実施例の動作を説明するための説明図。

【図5】ハイブリッド方式の圧縮法を説明するための説明図。

【図6】ブロック化を説明するための説明図。

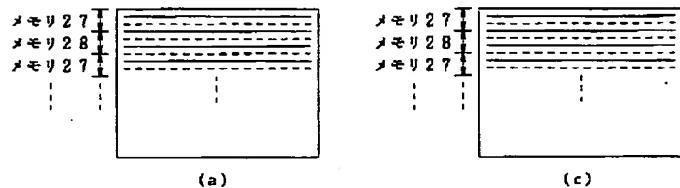
【図7】従来の画像復号化装置を示すブロック図。

【図8】フレーム化を説明するための説明図。

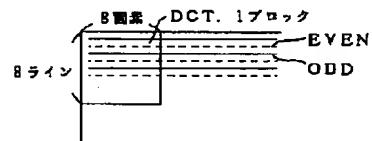
【符号の説明】

2…可変長復号回路、3…逆量子化回路、4…逆DCT回路、5, 13…加算器、8…動きベクトル抽出回路、9, 10…動き補償回路、11, 12…フレームメモリ、14～16, 21, 26, 29…スイッチ、22, 27, 28…メモリ、23…ピクチャ検出回路

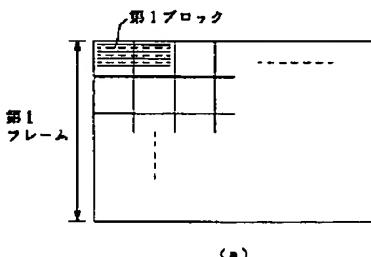
【図2】



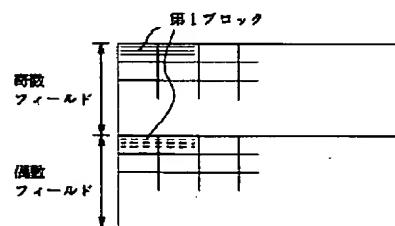
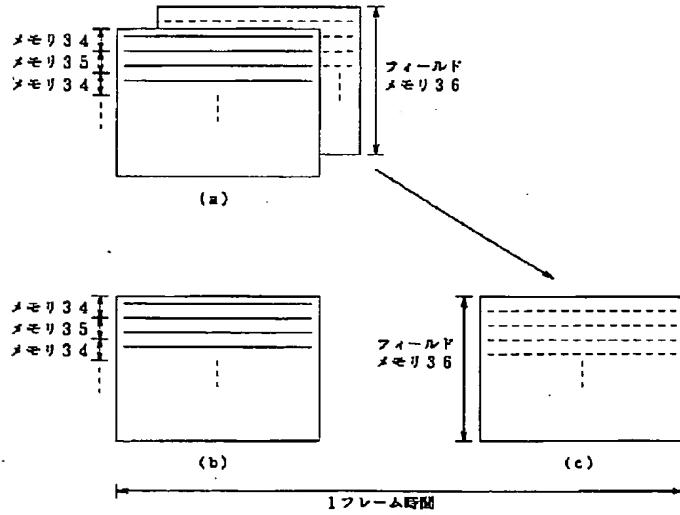
【図6】



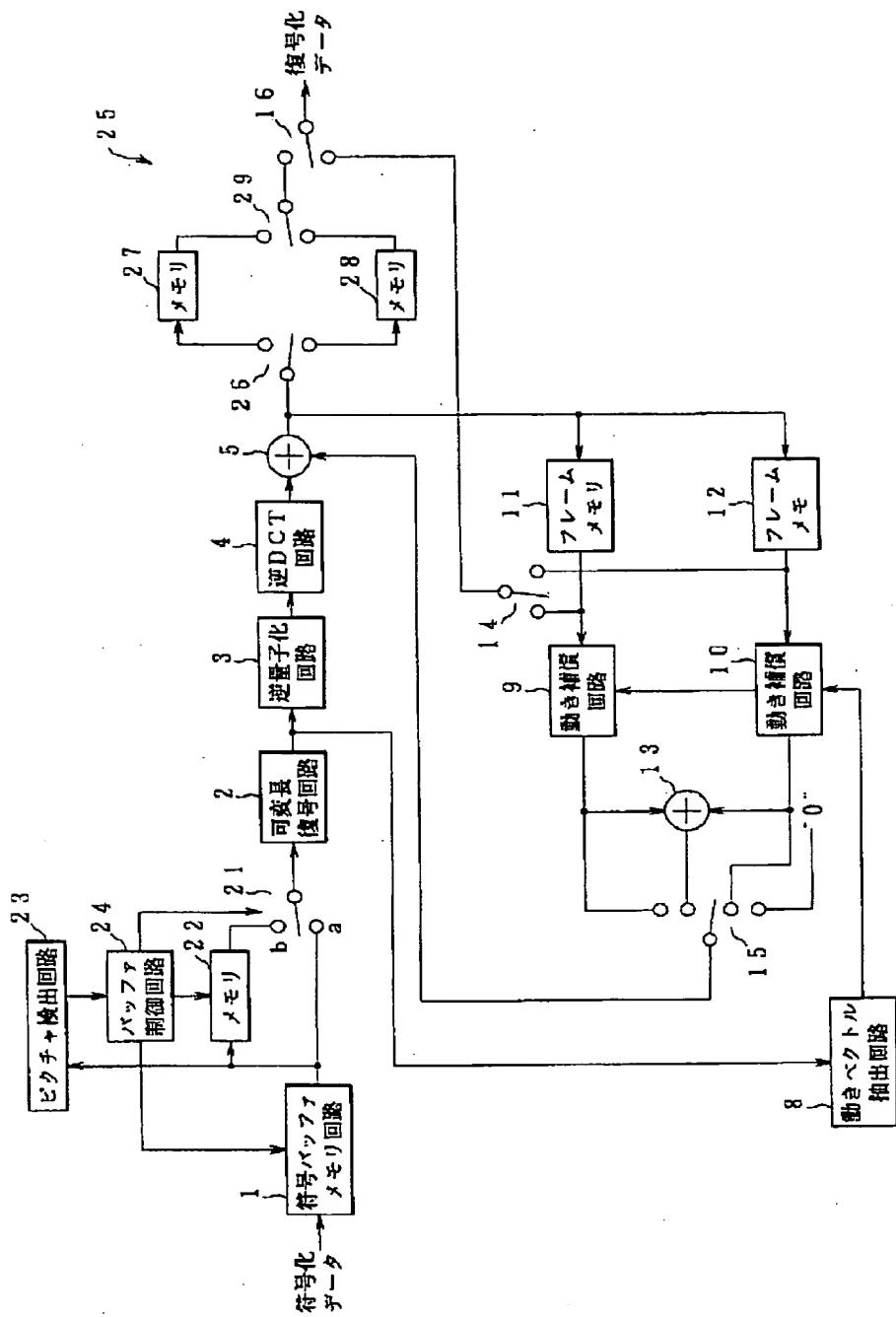
【図8】



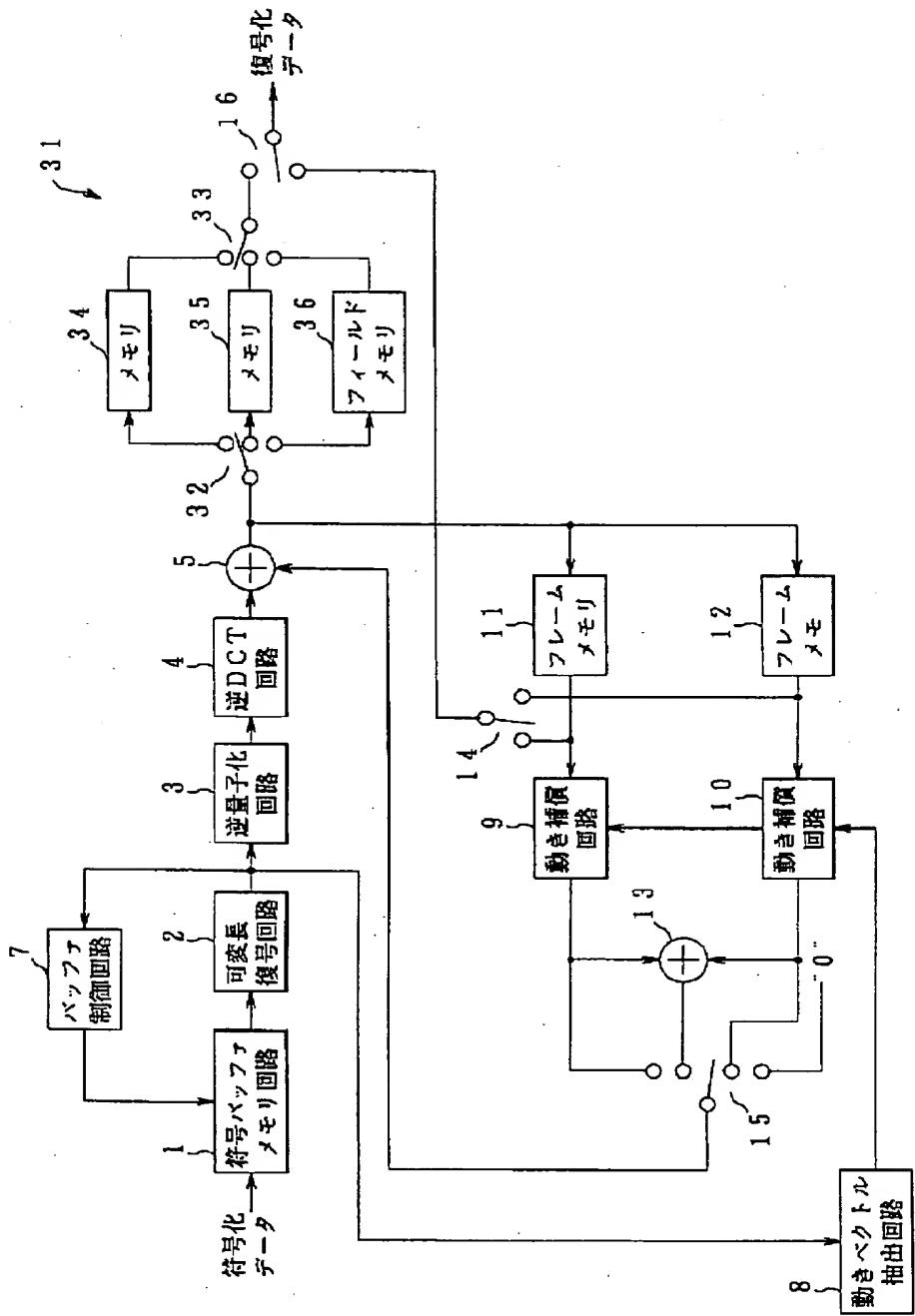
【図4】



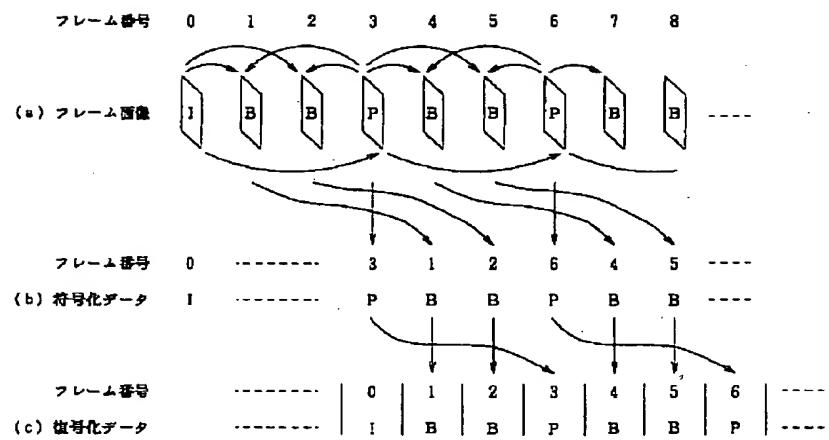
【图 1】



【図3】



【図5】



【図7】

